



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06132590 A

(43) Date of publication of application: 13.05.1994

(51) Int. Cl. H01S 3/096
H04B 10/04, H04B 10/06

(21) Application number: 04282887

(22) Date of filing: 21.10.1992

(71) Applicant: SUMITOMO ELECTRIC IND LTD

(72) Inventor: NAKAMURA TERUHIRO

(54) SEMICONDUCTOR LASER DRIVING CIRCUIT

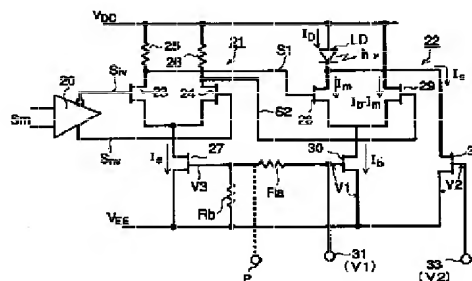
(57) Abstract:

PURPOSE: To obtain a semiconductor laser driving circuit at low power consumption and yet having excellent response characteristics by a method wherein the DC bias current is controlled to be proportional to the increase and decrease in the modulation current of a modulation circuit.

CONSTITUTION: The value of DC bias current I_a is controlled to be proportional to the increase and decrease in the modulation current I_b . Through these procedures, the balance between the driving capacity of a modulation circuit 22 and that of an operation amplifier circuit 21 can be set up in a state of optimum thereby enabling a semiconductor laser diode LD to

excite the output beams $h\nu$ showing the fidelity toward electric signal S_{in} . Accordingly, the power consumption can be cut down to easily realize a compact unit by adopting a device using IC thereby enabling this simple semiconductor laser driving device displaying excellent performances to be obtained.

COPYRIGHT: (C)1994,JPO&Japio



【特許請求の範囲】

【請求項1】 入力信号が入力される差動対と、該差動対の直流バイアス電流を設定する第1の可変定電流源とを有し、入力信号の差動増幅出力である駆動信号を該差動対に発生する差動増幅回路と、

該差動増幅回路から出力される上記駆動信号により駆動される差動対と、半導体レーザに流れる変調電流を設定する第2の可変定電流源とを有し、該駆動信号に対応して該差動対に発生する駆動電流によって半導体レーザ素子を駆動する変調回路と、 上記第2の可変定電流源に設定される変調電流の増減に伴って上記第1の可変定電流源の直流バイアス電流を増減させる制御回路と、を備えたことを特徴とする半導体レーザ駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、光通信技術の分野に適用され、電気入力信号を光信号に変換して送信するための半導体レーザ駆動回路に関する。

【0002】

【従来の技術】近時の光通信技術の発展はめざましく、電気入力信号を光信号に変換して送信するための半導体レーザ駆動回路の更なる性能向上、特に電気入力信号に対する光出力信号の応答性の向上、省電力化等が極めて重要となっている。

【0003】従来、かかる半導体レーザ駆動回路は、図3に示す構成のものが一般的であった。例えば、所定の2電源VDDとVEE（相互の電圧関係は、 $VDD > VEE$ ）からの電力供給によって作動する回路構成となっており、相互に位相が 180° ずれた（以下、逆位相という）2入力信号から成る電気入力信号 S_{in} を増幅する入力バッファ回路1と、入力バッファ回路1から出力される相互に逆位相の反転信号 S_{iv} 及び非反転信号 S_{nv} を差動増幅する差動増幅回路2と、差動増幅回路2から出力される相互に逆位相の駆動信号 S_1 、 S_2 に基いて半導体レーザダイオードLDの駆動電流IDを発生する変調回路3で構成されている。

【0004】差動増幅回路2は、差動対を構成する電界効果トランジスタ（以下、FETという）4、5と、それらの負荷抵抗6、7と、それらの共通ソースに接続され所定値の直流バイアス電流 I_a を設定する為の定電流源用FET8で構成され、FET4、5の各々のドレインに差動増幅出力である駆動信号 S_1 、 S_2 が発生する。

【0005】変調回路3は、ゲートに一方の駆動信号 S_1 が入力されるFET9と、ゲートに他方の駆動信号 S_2 が入力されるとFET10とによって差動対が形成され、更に、これらFET9、10の共通ソースと電源VEE間に接続されて直流バイアス設定電圧 V_1 に対応する直流の変調電流 I_b を設定する可変定電流源用FET11と、FET9のドレインと電源VEE間に接続されて調

整用直流電圧 V_2 に応じてドレイン・ソース間インピーダンスが変化するFET12とを備え、FET9のドレインが半導体レーザダイオードLDを介して電源VDDに接続され、FET10のドレインが電源VDDに接続された構成となっている。

【0006】したがって、半導体レーザダイオードLDの駆動電流IDは、調整用直流電圧 V_2 に応じてFET12を流れる直流バイアス電流 I_C と、駆動信号 S_1 、 S_2 の振幅に応じてFET9のドレインを流れる変調電流 I_m との和の電流となるので、半導体レーザダイオードLDは、電気入力信号 S_{in} に対応する光信号 $h\nu$ を励起して、光伝送路等への情報伝送を実現する。

【0007】

【発明が解決しようとする課題】ところで、半導体レーザ駆動回路の重要な特性として、電気入力信号 S_{in} に対する駆動電流IDの応答性がある。これは、図4（a）に示すような矩形波の電気入力信号 S_{in} が印加され、それに伴って同図（b）に示すような駆動信号 S_1 、 S_2 が変調回路3に入力される場合に、同図（c）に示すように、駆動電流IDの立上りエッジ部と立下りエッジ部においてオーバーシュートやアンダーシュート及びリングングが発生せずに入力信号 S_{in} の波形に忠実な電流変化が得られることを理想として評価されるものである。尚、時間 t_{r1} 、 t_{r2} 、 t_{f1} 、 t_{f2} は遅延時間である。

【0008】しかし、省電力化等を図るために直流の変調電流 I_b を減少させて、図4（a）（b）と同条件の電気入力信号 S_{in} 及び駆動信号 S_1 、 S_2 が変調回路3に入力されると、変調電流 I_b の減少に伴って電流切り替えに必要なFET9、10のゲート間電圧が小さくなっているために、駆動電流IDの立上りエッジ部と立下りエッジ部の変化が同図（d）に示すように急峻となり、この結果生じる高周波成分に起因して回路内部や配線に付随する寄生インダクタンス及び寄生容量が励振されて、オーバーシュートやアンダーシュート及びリングングが発生する。この結果、半導体レーザダイオードLDの励起状態が不安定となるため、省電力化及び応答特性の両立が困難となっていた。

【0009】本発明は、このような従来の解決すべき課題に鑑みてなされたものであり、消費電力が少なく且つ応答特性の優れた半導体レーザ駆動回路を提供することを目的とする。

【0010】

【課題を解決するための手段】このような目的を達成するために本発明は、入力信号が入力される差動対とこの差動対の直流バイアス電流を設定する第1の可変定電流源とを有して入力信号の差動増幅出力である駆動信号を該差動対に発生する差動増幅回路と、該差動増幅回路から出力される駆動信号により駆動される差動対とこの差動対の変調電流を設定する第2の可変定電流源とを有して該駆動信号に対応して該差動対に発生する駆動電流に

よって半導体レーザ素子を駆動する変調回路と、上記第2の可変定電流源に設定される変調電流の増減に伴って上記第1の可変定電流源の直流バイアス電流を増減させる制御回路とを具備する回路構成とした。

【0011】

【作用】このような構成を有する本発明によれば、上記変調電流が増加すれば上記直流バイアス電流もそれに伴って増加し、逆に変調電流が減少すれば直流バイアス電流も同じく減少する結果、上記差動増幅回路の差動対と変調回路の差動対の両者の駆動能力が常にバランスされる。したがって、省電力化等のために、上記変調電流を減少させると変調回路の駆動能力が低下するが、同時に差動増幅回路の駆動能力も低下し、差動増幅回路から出力される駆動信号の立上りエッジ部と立下りエッジ部における変化が鈍化（換言すれば、所定電位に達するまでに要する時間が長くなる）するので、高周波成分が低減される。そして、高周波成分の低減された駆動信号によって変調回路の上記差動対を駆動することとなるので、駆動電流にはリングングやオーバーシュートあるいはアンダーシュートが発生せず、半導体レーザ素子が安定に駆動され、入力信号に対して忠実な光信号を発生させることができる。

【0012】

【実施例】以下、本発明の一実施例を図面と共に説明する。まず、図1に基いて回路構成を説明する。かかる回路は、所定の2電源VDDとVEE（相互の電圧関係は、 $V_{DD} > V_{EE}$ ）からの電力供給によって作動する。そして、相互に逆位相にある2入力信号から成る電気入力信号 S_{in} を増幅して、相互に逆位相にある反転信号 S_{iv} と非反転信号 S_{nv} を出力する入力バッファ回路20と、反転信号 S_{iv} と非反転信号 S_{nv} を差動増幅することによって相互に逆位相にある駆動信号 $S1$ 、 $S2$ を出力する差動増幅回路21と、駆動信号 $S1$ 、 $S2$ に基いて半導体レーザダイオードLDの駆動電流 I_D を変調する変調回路22を備えている。

【0013】差動増幅器21は、差動対を構成するFET23、24を有し、FET23のゲートに反転信号 S_{iv} 、FET24のゲートに非反転信号 S_{nv} が供給されると共に、FET23のドレインが負荷抵抗25を介して、FET24のドレインが負荷抵抗26を介して共に電源VDDに接続されている。更に、FET23、24の共通ソースが可変定電流源用のFET27のドレイン・ソース路を介して電源VEEに接続され、FET27のゲートには、分圧抵抗 R_a 、 R_b から成る分圧制御回路が直流バイアス設定電圧 $V1$ を分圧することにより生じる直流電圧 $V3$ が印加されている。即ち、FET27は、直流電圧 $V3$ に対応する直流バイアス電流 I_a を設定するための第1の可変定電流源となっている。

【0014】変調回路22は、ゲートに一方の駆動信号 $S1$ が印加されるFET28とゲートに他方の駆動信号

$S2$ が印加されるFET29とによる差動対を有し、FET28のドレインが半導体レーザダイオードLDを介して、FET29のドレインが直接に電源VDDに接続されている。又、FET28、29の共通ソースが変調電流を設定するための可変定電流源用のFET30のドレイン・ソース路を介して電源VEEに接続され、FET30のゲートには変調電流設定用端子31に印加される直流電圧 $V1$ が入力されるようになっている。即ち、FET30は直流電圧 $V1$ に対応する直流の変調電流 I_b を設定するための第2の可変定電流源となっている。

【0015】更に、FET28のドレインがFET32のドレイン・ソース路を介して電源VEEに接続され、直流バイアス設定端子33を介してゲートに印加される調整用直流電圧 $V2$ に応じてFET31のドレイン・ソース間インピーダンスが設定されることにより、駆動電流 I_D の直流バイアス電流分 I_C が決定されるようになっている。

【0016】尚、かかる回路がIC化等される場合には、端子31と端子33は半導体パッケージのリード端子等が適用され、ユーザーが外部から所望の直流電圧 $V1$ 及び $V2$ を印加することができるようになっている。

【0017】次に、かかる実施例の動作を説明する。まず、端子33を所定の調整用直流電圧 $V2$ に保持することによって半導体レーザダイオードLDの直流バイアス電流を調節すると共に、端子31を所定の直流電圧 $V1$ に保持することによって直流の変調電流 I_b と駆動電流 I_D の直流バイアス電流 I_C が設定される。

【0018】更に、直流電圧 $V1$ が設定されると、FET27のゲート電圧 $V3$ は、 $V1 \cdot R_b / (R_a + R_b)$ となり、該電圧 $V3$ に対応する直流バイアス電流 I_a が設定される。そして、電流 I_a 、 I_b は直流電圧 $V1$ に比例するので、消費電力の低減化は、直流電圧 $V1$ の値を小さくすることによって実現することができる。ここで、最高電位と最低電位の差が一定である図2

(a)に示すような矩形波の電気入力信号 S_{in} が印加されるものとし、直流電圧 $V1$ をある高い電圧値に設定してリングング等の発生を招来しない従来技術同様の変調電流 I_b を設定した場合（以下、ケースIとする）と、従来技術ではリングング等を招来する小電流値の変調電流 I_b を設定した場合（以下、ケースIIとする）に別けて動作を説明する。

【0019】まず、直流電圧 $V1$ をケースIの条件に設定すると、電圧 $V1$ に比例して電圧 $V3$ も高くなり、差動増幅回路21の直流バイアス電流 I_a の値が大きくなり、差動増幅回路21はこの電流値に対応する大きな駆動能力に設定される。したがって、図4(b)に示したのと同様に、入力信号 S_{in} に対する駆動信号 $S1$ 、 $S2$ の立上りエッジ部と立下りエッジ部は急峻となる。そして、このような駆動信号 $S1$ 、 $S2$ が変調回路22のFET28、29に印加されることとなるが、変調電流 I

b の値も大きく、したがって電流切り替えに必要な FET 28, 29 のゲート間電圧も大きくなっているため、駆動電流 ID にリングング等が発生せず、半導体レーザダイオード LD は安定して入力信号 Sin に忠実な光信号 h ν を励起する。

【0020】一方、直流電圧 V1 をケース I の条件に設定すると、低い電圧 V1 に応じて変調電流 Ib と直流バイアス電流 Ia の値が共に小さくなり、変調回路 22 の FET 28, 29 のゲート間電圧が小さくなると同時に、差動増幅回路 21 の駆動能力も小さくなる。この状態で、ケース I と同条件の電気入力信号 Sin が入力されると、差動増幅器 21 の駆動能力低下に起因して、図 2 (b) (c) に示すように、駆動信号 S1, S2 の立上りエッジ部と立下りエッジ部の変化が鈍化する。換言すれば、立上りエッジ部において所定の最高電位に到達するまでの遅延時間 tr3 と、立下りエッジ部において所定の最低電位に到達するまでの遅延時間 tf3 が長くなり、駆動信号 S1, S2 の高周波成分が抑制されることとなる。この結果、変調回路 22 の FET 28, 29 のゲート間電圧が小さくなっていたとしても、高周波成分が抑制された駆動信号 S1, S2 によって駆動されることとなるので、図 2 (d) に示すように、駆動電流 ID にはリングングやオーバーシュートあるいはアンダーシュートが発生せず、半導体レーザダイオード LD が安定に励起され、入力信号 Sin に忠実な光信号 h ν を発生することとなる。

【0021】このように、この実施例によれば、変調電流 Ib の電流値に応じて差動増幅回路 21 の直流バイアス電流 Ia も変化する。即ち、直流バイアス電流 Ia の値は変調電流 Ib が増加すれば増加、減少すれば減少するように制御されるので、変調回路 22 の駆動能力と差動増幅回路 21 の駆動能力のバランスが常に最適状態に設定され、電気入力信号 Sin に対して忠実な出力光 h ν を半導体レーザダイオード LD に励起させることができる。そして、消費電力の低減化を実現することが可能となり、IC 化による装置の小型ユニット化を容易に実現することができ、簡易で性能の良い半導体レーザ駆動装置を提供することができる。

【0022】尚、この実施例では、分圧抵抗 Ra, Rb は固定であるが、例えば図 1 中の点線で示すように、分圧抵抗 Ra, Rb 間に接続する配線と外部端子 P を設

け、端子 P と端子 31 間に外部抵抗を適宜に接続することによって分圧抵抗値を外部調整して、電圧 V3 を微調整することができるようにしてもよい。

【0023】又、この実施例の半導体レーザ駆動回路は、ガリウム・砒素 (GaAs) 半導体プロセスを適用したデバイスで実現されるが、シリコン半導体プロセスを適用した MOS デバイスで実現する場合にも効果的である。

【0024】

【発明の効果】以上説明したように本発明によれば、変調回路の変調電流が増加すれば差動増幅器の直流バイアス電流もそれに伴って増加し、逆に変調電流が減少すれば直流バイアス電流も同じく減少するように構成したので、差動増幅回路と変調回路の両者の駆動能力が常にバランスされる。したがって、省電力化等のために、変調電流を減少させると変調回路の駆動能力が低下するが、同時に差動増幅回路の駆動能力も低下し、差動増幅回路から出力される駆動信号の立上りエッジ部と立下りエッジ部における変化が鈍化するので高周波成分が低減され、そして、高周波成分の低減された駆動信号によって変調回路が駆動されることとなるので、駆動電流にはリングングやオーバーシュートあるいはアンダーシュートが発生せず、半導体レーザ素子が安定に駆動されて、入力信号に対して忠実な光信号を発生させることができる。

【0025】この結果、消費電力の低減化と応答特性の向上を同時実現することができ、光通信技術の発展に大きく寄与するものである。

【図面の簡単な説明】

【図 1】本発明による一実施例の構成を示す回路図である。

【図 2】一実施例の動作を説明するためのタイミングチャートである。

【図 3】従来例の構成を示す回路図である。

【図 4】従来例の動作及び技術的問題点を説明するためのタイミングチャートである。

【符号を説明】

20…入力バッファ回路、21…差動増幅回路、22…変調回路、23, 24, 27, 28, 29, 30, 32…FET、25, 26, Ra, Rb…抵抗、31, 33…端子。

【図 3】

